

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-14482

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁸

識別記号

F I

G 0 1 L 9/12

G 0 1 L 9/12

H 0 1 L 29/84

H 0 1 L 29/84

Z

審査請求 未請求 請求項の数12 O L (全 14 頁)

(21) 出願番号 特願平9-167608

(22) 出願日 平成9年(1997) 6月24日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000232999

株式会社日立カーエンジニアリング

312 茨城県ひたちなか市高場2477番地

(72) 発明者 半沢 恵二

茨城県ひたちなか市高場2477番地 株式会
社日立カーエンジニアリング内

(72) 発明者 保川 彰夫

茨城県土浦市神立町502番地 株式会
社日立製作所機械研究所内

(74) 代理人 弁理士 春日 譲

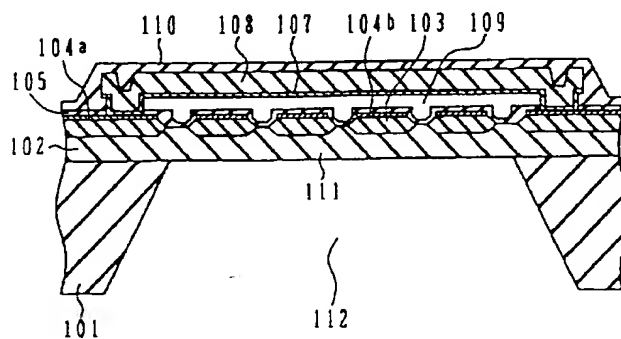
最終頁に続く

(54) 【発明の名称】 静電容量式圧力センサ及びその製造方法

(57) 【要約】

【課題】 浮遊容量が小さく、かつ圧力を受けるダイヤフラム部の塑性変形が抑制され、高精度の圧力検出が可能な静電容量式圧力センサを実現する。

【解決手段】 ダイヤフラム111は不純物拡散された単結晶シリコンで作られた脆性材料であり塑性変形せず安定した圧力受動構造体を形成する。ダイヤフラム111と可動電極104bとの間には酸化膜103が形成され可動電極104bと基板101との間、可動電極104bと不純物拡散層102との間の浮遊容量を低減する。酸化膜103、可動電極104bは複数の領域に分割され、酸化膜103の各領域の上に可動電極104bの各領域が形成される。これにより、ダイヤフラム111、酸化膜103、可動電極104b相互の熱膨張率差による応力歪が低減される。固定電極107の上は不純物がドーピングされていない絶縁性の多結晶シリコン膜の固定電極用構造体108により覆われ電極107の剛性を強化し、リーク電流を低減することができる。



101: 単結晶シリコン基板

102: 不純物拡散層

103: 酸化膜 (LOCOS) 層

104a: 固定電極配線

104b: 可動電極

105: 保護膜

107: 固定電極

108: 固定電極用構造体

109: 空隙

110: 保護膜

111: ダイヤフラム

112: 圧力導入孔

1

【特許請求の範囲】

【請求項 1】単結晶シリコン基板であり、印加される圧力によって変位するダイヤフラムと、

上記ダイヤフラム上に形成された絶縁膜と、

上記絶縁膜上に形成された第 1 の電極と、

空隙を介して上記第 1 の電極に対向して形成された第 2 の電極と、

上記ダイヤフラムに印加される圧力によって、上記第 1 の電極と第 2 の電極との間の距離が変化することによって、第 1 の電極と第 2 の電極との間の静電容量が変化することを検出し、電圧に変換する手段と、を備えることを特徴とする静電容量式圧力センサ。

【請求項 2】請求項 1 記載の静電容量式圧力センサにおいて、上記絶縁膜は、少なくとも 2 つ以上に分割して構成されていることを特徴とする静電容量式圧力センサ。

【請求項 3】請求項 2 記載の静電容量式圧力センサにおいて、上記第 1 の電極は、少なくとも 2 つ以上に分割して構成されていることを特徴とする静電容量式圧力センサ。

【請求項 4】請求項 3 記載の静電容量式圧力センサにおいて、上記第 1 の電極の面積が上記絶縁膜の面積より小さいことを特徴とする静電容量式圧力センサ。

【請求項 5】請求項 1 から 4 のうちのいずれかに記載の静電容量式圧力センサにおいて、上記第 1 の電極と上記シリコン基板との間が一部中空となっていることを特徴とする静電容量式圧力センサ。

【請求項 6】請求項 1 から 5 のうちのいずれかに記載の静電容量式圧力センサにおいて、上記第 1 の電極は多結晶シリコンで構成されていることを特徴とする静電容量式圧力センサ。

【請求項 7】請求項 1 から 6 のうちのいずれかに記載の静電容量式圧力センサにおいて、この圧力センサは、圧力センサの信号を処理する信号処理回路と一体化され、この信号処理回路が有する MOS トランジスタのゲート電極の材料と上記第 1 の電極の材料とは同一材料であることを特徴とする静電容量式圧力センサ。

【請求項 8】単結晶シリコン基板に不純物をドーピングする工程と、

酸化膜を上記不純物上の所定の部分に形成する工程と、第 1 の電極となる導電化された多結晶シリコン膜を上記酸化膜上に形成し、パターンニングする工程と、

犠牲層を少なくとも上記第 1 の電極上に形成し、パターンニングをする工程と、

第 2 の電極となる導電化された多結晶シリコン膜を少なくとも上記犠牲層上に形成する工程と、

絶縁された多結晶シリコン膜を上記第 2 の電極上に形成し、パターンニングする工程と、

上記犠牲層を除去する工程と、

保護膜を上記絶縁された多結晶シリコン膜上に形成する工程と、

2

上記単結晶シリコン基板の上記不純物がドーピングされた面とは反対側の面の所定の部分をエッチングし、上記不純物からなるダイヤフラムを形成する工程と、を備えることを特徴とする静電容量式圧力センサの製造方法。

【請求項 9】単結晶シリコン基板であり、印加される圧力によって変位するダイヤフラムと、

上記ダイヤフラム上に形成され、少なくとも 2 つ以上に分割された第 1 の電極と、

空隙を介して上記第 1 の電極に対向して形成された第 2 の電極と、

上記ダイヤフラムに印加される圧力によって、上記第 1 の電極と第 2 の電極との間の距離が変化することによって、第 1 の電極と第 2 の電極との間の静電容量が変化することを検出し、電圧に変換する手段と、を備えることを特徴とする静電容量式圧力センサ。

【請求項 10】請求項 9 記載の静電容量式圧力センサにおいて、上記第 1 の電極は多結晶シリコンで構成されていることを特徴とする静電容量式圧力センサ。

【請求項 11】請求項 9 又は 10 記載の静電容量式圧力センサにおいて、この圧力センサは、圧力センサの信号を処理する信号処理回路と一体化され、この信号処理回路が有する MOS トランジスタのゲート電極の材料と上記第 1 の電極の材料とは同一材料であることを特徴とする静電容量式圧力センサ。

【請求項 12】単結晶シリコン基板に不純物をドーピングする工程と、

第 1 の電極となる導電化された多結晶シリコン膜を上記不純物上の所定の部分に形成し、分割された複数の領域にパターンニングする工程と、

犠牲層を少なくとも上記第 1 の電極上に形成し、パターンニングをする工程と、

第 2 の電極となる導電化された多結晶シリコン膜を少なくとも上記犠牲層上に形成する工程と、

絶縁された多結晶シリコン膜を上記第 2 の電極上に形成し、パターンニングする工程と、

上記犠牲層を除去する工程と、

保護膜を上記絶縁された多結晶シリコン膜上に形成する工程と、

上記単結晶シリコン基板の上記不純物がドーピングされた面とは反対側の面の所定の部分をエッチングし、上記不純物からなるダイヤフラムを形成する工程と、を備えることを特徴とする静電容量式圧力センサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、圧力を検出する圧力センサ、特に自動車のエンジン制御に使用される静電容量式圧力センサ及びその製造方法に関する。

【0002】

【従来の技術】従来の静電容量式圧力センサとしては、

例えば、特公平 7-50789 号公報に記載された圧力

3

センサがある。この公報記載の静電容量式圧力センサは、単結晶シリコン基板の上に不純物拡散によって第1の電極を形成し、この第1の電極と空隙を介して対向する第2の電極が導電化された多結晶シリコンでダイヤフラム状に形成される。

【0003】そして、ダイヤフラム状の第2の電極に圧力が印加されると、この印加された圧力によってダイヤフラムである第2の電極が変位する。この第2の電極の変位により、第1の電極と第2の電極との間の静電容量が変化し、この変化を検出することによって、圧力を検出する構成となっている。

【0004】

【発明が解決しようとする課題】しかしながら、上述した従来技術では、第1の電極が拡散によって形成されているため、シリコン基板との接合容量が非常に大きく、第1の電極と第2の電極との間の浮遊容量が大になってしまうため、圧力の検出精度が低く、高精度の圧力検出を行うことができなかった。

【0005】また、第2の電極は、被測定媒体である空気に直接接触する構造となっているため、ガソリン等が混入した汚れた空気が第2電極に接触した場合、リーク電流が発生し、正確に静電容量を検出することが困難であり、高精度の圧力検出を行うことができなかった。

【0006】さらに、圧力によって変位するダイヤフラムは多結晶シリコンで作られているため、塑性変形を起こし易く、印加される圧力と静電容量の変化との対応関係が変動する可能性があった。このため、圧力検出の精度が低下し、信頼性に劣るという問題があった。

【0007】本発明の目的は、浮遊容量が小さく、かつ圧力を受けるダイヤフラム部の塑性変形が抑制され、高精度の圧力検出が可能な静電容量式圧力センサ及びその製造方法を実現することである。

【0008】

【課題を解決するための手段】

(1) 本発明は、上記目的を達成するため、次のように構成される。すなわち、静電容量式圧力センサにおいて、単結晶シリコン基板であり、印加される圧力によって変位するダイヤフラムと、上記ダイヤフラム上に形成された絶縁膜と、上記絶縁膜上に形成された第1の電極と、空隙を介して上記第1の電極に対向して形成された第2の電極と、上記ダイヤフラムに印加される圧力によって、上記第1の電極と第2の電極との間の距離が変化することによって、第1の電極と第2の電極との間の静電容量が変化することを検出し、電圧に変換する手段と、を備える。

【0009】(2) 好ましくは、上記(1)において、上記絶縁膜は、少なくとも2つ以上に分割して構成されている。

【0010】(3) また、好ましくは、上記(2)において、上記第1の電極は、少なくとも2つ以上に分割し

4

て構成されている。

【0011】(4) また、好ましくは、上記(3)において、上記第1の電極の面積が上記絶縁膜の面積より小さい。

【0012】(5) また、好ましくは、上記(1)から(4)において、上記第1の電極と上記シリコン基板との間が一部中空となっている。

【0013】(6) また、好ましくは、上記(1)から(5)において、上記第1の電極は多結晶シリコンで構成されている。

【0014】(7) また、好ましくは、上記(1)から(6)において、この圧力センサは、圧力センサの信号を処理する信号処理回路と一体化され、この信号処理回路が有するMOSトランジスタのゲート電極の材料と上記第1の電極の材料とは同一材料である。

【0015】ダイヤフラムと第1の電極との間には、絶縁膜が形成されており、第1の電極と単結晶シリコン基板との間及び第1の電極と不純物との間に生じる浮遊容量が低減される。

【0016】また、絶縁膜及び第1の電極が、細かく分割して、つまり、複数の領域に分割して形成されるように構成すれば、ダイヤフラム、絶縁膜、第1の電極、相互の熱膨張率差によって生じる応力歪を低減することが可能となる。つまり、第1の電極、絶縁膜が、複数に分割されている場合には、複数に分割されない場合と比較して、相互の熱膨張率差によって生じる応力歪を低減することができる。

【0017】また、圧力センサの第1の電極が、多結晶シリコンで構成される場合には、圧力センサの信号を処理する信号処理回路のMOSトランジスタのゲート電極の材料も、多結晶シリコンで構成されるので、圧力センサと信号処理回とを一体化して構成することができる。

【0018】(8) また、静電容量式圧力センサの製造方法において、単結晶シリコン基板に不純物をドーピングする工程と、酸化膜を上記不純物上の所定の部分に形成する工程と、第1の電極となる導電化された多結晶シリコン膜を上記酸化膜上に形成し、パターニングする工程と、犠牲層を少なくとも上記第1の電極上に形成し、パターニングをする工程と、第2の電極となる導電化された多結晶シリコン膜を少なくとも上記犠牲層上に形成する工程と、絶縁された多結晶シリコン膜を上記第2の電極上に形成し、パターニングする工程と、上記犠牲層を除去する工程と、保護膜を上記絶縁された多結晶シリコン膜上に形成する工程と、上記単結晶シリコン基板の上記不純物がドーピングされた面とは反対側の面の所定の部分をエッチングし、上記不純物からなるダイヤフラムを形成する工程と、を備える。

【0019】第1の電極が多結晶シリコンで構成されており、圧力センサの信号を処理する信号処理回路のMOSトランジスタのゲート電極の材料も、多結晶シリコン

5

で構成される場合には、圧力センサと信号処理回とを一体化して同時に製造することができる。

【0020】(9) また、静電容量式圧力センサにおいて、単結晶シリコン基板であり、印加される圧力によって変位するダイヤフラムと、上記ダイヤフラム上に形成され、少なくとも2つ以上に分割された第1の電極と、空隙を介して上記第1の電極に対向して形成された第2の電極と、上記ダイヤフラムに印加される圧力によって、上記第1の電極と第2の電極との間の距離が変化することによって、第1の電極と第2の電極との間の静電容量が変化することを検出し、電圧に変換する手段と、を備えることを特徴とする静電容量式圧力センサ。

【0021】(10) 好ましくは、上記(9)において、上記第1の電極は多結晶シリコンで構成されている。

【0022】(11) また、好ましくは、上記(9)又は(10)において、この圧力センサは、圧力センサの信号を処理する信号処理回路と一体化され、この信号処理回路が有するMOSトランジスタのゲート電極の材料と上記第1の電極の材料とは同一材料である。

【0023】第1の電極が、複数の領域に分割して形成されるので、ダイヤフラムと第1の電極との熱膨張率差によって生じる応力歪を低減することが可能となる。

【0024】(12) また、静電容量式圧力センサの製造方法において、単結晶シリコン基板に不純物をドーピングする工程と、第1の電極となる導電化された多結晶シリコン膜を上記不純物上の所定の部分に形成し、分割された複数の領域にパターニングする工程と、犠牲層を少なくとも上記第1の電極上に形成し、パターニングをする工程と、第2の電極となる導電化された多結晶シリコン膜を少なくとも上記犠牲層上に形成する工程と、絶縁された多結晶シリコン膜を上記第2の電極上に形成し、パターニングする工程と、上記犠牲層を除去する工程と、保護膜を上記絶縁された多結晶シリコン膜上に形成する工程と、上記単結晶シリコン基板の上記不純物がドーピングされた面とは反対側の面の所定の部分をエッチングし、上記不純物からなるダイヤフラムを形成する工程と、を備える。

【0025】第1の電極が多結晶シリコンで構成されており、圧力センサの信号を処理する信号処理回路のMOSトランジスタのゲート電極の材料も、多結晶シリコンで構成される場合には、圧力センサと信号処理回とを一体化して同時に製造することができる。

【0026】

【発明の実施の形態】図1は、本発明の第1の実施形態である静電容量式圧力センサの断面図であり、図2は、この第1の実施形態の平面図である。図1及び図2において、この第1の実施形態である静電容量式圧力センサは、単結晶シリコン基板101、不純物拡散層102、酸化膜層(絶縁膜)103、固定電極配線104a、可

6

動電極(第1の電極)104b、保護膜105、固定電極(第2の電極)107、固定電極用構造体108、空隙109、保護膜110、ダイヤフラム111、圧力導入孔112を備えている。

【0027】被測定媒体である空気は、圧力導入孔112へ導入される。圧力導入孔112に導入された空気が、ダイヤフラム111に圧力を加えると、その圧力の大きさに応じてダイヤフラム111が変位する。

【0028】ダイヤフラム111が変位すると、このダイヤフラム111上に形成された可動電極104bと固定電極107との間の空隙109が変化する、つまり、可動電極104bと固定電極107との間の距離が変化することによって両電極間に形成される静電容量が変化する。この静電容量変化を検出することにより、圧力を検出することができる。

【0029】ダイヤフラム111は、不純物拡散された単結晶シリコンを用いて作られた脆性材料であるため、塑性変形することなく、信頼性の良い、安定した圧力受動構造体を形成している。

【0030】ダイヤフラム111と可動電極104bとの間には、酸化膜103が形成されており、可動電極104bと基板101との間及び可動電極104bと不純物拡散層102との間に生じる浮遊容量を低減している。さらに、酸化膜103は、図示するように、細かく分割して、つまり、複数の領域に分割して形成される(この例においては、16分割)。

【0031】また、可動電極104bも、酸化膜103と同様に、細かく分割して、つまり、複数の領域に分割して形成され、各領域が電気的に接続されている。そして、酸化膜103の、各領域の上部に、可動電極104bの複数の分割された各領域が形成される。

【0032】これによって、ダイヤフラム111、酸化膜103、可動電極104b相互の熱膨張率差によって生じる応力歪を低減することが可能である。つまり、可動電極104b、酸化膜103が、複数の分割されている場合には、複数の分割されない場合と比較して、相互の熱膨張率差によって生じる応力歪を低減することができる。

【0033】固定電極107の上部は、不純物がドーピングされていない絶縁性の多結晶シリコン膜でできた固定電極用構造体108によって覆われており、固定電極107の剛性が強化される。また、固定電極107の表面を絶縁物で完全に覆うことによりリーク電流を低減することができる。

【0034】以上のように、本発明の第1の実施形態である静電容量式圧力センサによれば、ダイヤフラム111が不純物拡散された単結晶シリコンを用いて作られた脆性材料とされ、可動電極104bとダイヤフラム111の間には酸化膜103が配置されとともに、これら可動電極104bと酸化膜103とは複数の領域に

分割されている。

【0035】さらに、固定電極107の上部は、不純物がドーピングされていない絶縁性の多結晶シリコン膜でできた固定電極用構造体108によって覆われている。したがって、圧力受動構造体が安定しており、熱歪による変形が少なく、浮遊容量やリーク電流の少ない、高精度な信頼性の高い静電容量式圧力センサを実現することができる。

【0036】次に、上述した本発明の第1の実施形態である静電容量式圧力センサの製造方法を説明する。図3～図6は、上記製造方法の各工程を説明する図である。図3において、IC製造用の単結晶シリコン基板101に、CMOS回路のウェル形成と同一の不純物拡散層102をイオン打ち込み、熱拡散によって形成する。この不純物は基板がN-subであればP-well、基板がP-subであれば、N-wellとする(図3の工程(a)、(b))。

【0037】不純物拡散層102の上に、LOCOS形成用と同一の酸化膜103を熱拡散によって選択的に形成する(所定の部分に形成する)。あるいは、全面に酸化膜を形成した後、ドライエッチングによってパターンニングしても良い(図3の工程(c))。

【0038】次に、図4において、酸化膜103の上に固定電極用配線104aと可動電極104bを形成するための不純物がドーピングされた多結晶シリコンを成膜、パターンニングを行う(図4の工程(d))。この場合、後述するCMOS回路(又はMOS回路)のゲート電極の材料は、多結晶シリコンであることが多いので、電極104b等の形成と同時にCMOS回路(又はMOS回路)も一体化して形成することが可能となる。

【0039】可動電極104bの上に窒化膜等の保護膜105を被せた後、酸化膜やPSG膜等の犠牲層106をデポジション、ホトエッチングによるパターンニングを行う(図4の工程(e)、(f))。

【0040】次に、図5の工程(g)、(h)、(i)において、固定電極107となる不純物がドーピングされた多結晶シリコン膜と、ノンドーピングの多結晶シリコン膜108とがデポジション、パターンニングされる。

【0041】続いて、図6において、フッ酸等によって犠牲層がウェットエッチングされる。その後、窒化膜等の保護膜110が形成され、単結晶シリコン基板101の裏面からKOH等により異方性のウェットエッチングされる(図6の工程(j))。このとき、単結晶シリコン基板101と拡散層102との間に電圧を印加しながらエッチングすることによって、単結晶シリコン基板101のみがエッチングされ、不純物拡散層102は、エッチングされずに残すことができる。これによって、ダイヤフラム110と圧力導入孔111とを同時形成できる(図6の工程(k))。

【0042】上述した本発明の第1の実施形態である静電容量式圧力センサの製造方法によって、CMOS回路(MOS回路)と同一基板上に一体化してセンサを製造でき、小型で安価な、特性が安定した圧力センサの製造方法を実現することができる。

【0043】図7は、本発明の第2の実施形態である静電容量式圧力センサの断面図であり、図8は、この第2の実施形態の平面図である。図7及び図8において、この第2の実施形態である静電容量式圧力センサは、単結晶シリコン基板201、不純物拡散層202、酸化膜層203、固定電極配線204a、可動電極204b、固定電極206、固定電極用構造体207、空隙208、保護膜209、ダイヤフラム210、圧力導入孔211を備えている。

【0044】被測定媒体である空気は、圧力導入孔211へ導入される。圧力導入孔211に導入された空気が、ダイヤフラム210に圧力を加えると、その圧力の大きさに応じてダイヤフラム210が変位する。ダイヤフラム210が変位すると、このダイヤフラム210上に形成された可動電極204bと固定電極206と間の空隙208が変化する、つまり、可動電極204bと固定電極206との間の距離が変化することによって、両電極間に形成された静電容量が変化し、圧力を検出することができる。ダイヤフラム210は、不純物拡散された単結晶シリコンを用いて作られた脆性材料である。

【0045】ダイヤフラム210と可動電極204bとの間には、酸化膜203が形成されており、可動電極204bと基板201との間及び可動電極204bと不純物拡散層202との間に生じる浮遊容量を低減している。

【0046】さらに、酸化膜203を細かく分割形成し、その上部にオーバーハングした形で、つまり、酸化膜203の各分割領域のそれぞれの面積より、可動電極204bの各分割領域のそれぞれの面積が大となるように、可動電極204bを形成したことによって、ダイヤフラム210と、酸化膜203と、可動電極204bとの相互の熱膨張率差によって生じる応力歪を大きく低減することが可能である。

【0047】上述した本発明の第2の実施形態である静電容量式圧力センサにおいても、第1の実施形態と同様な効果を得ることができる。さらに、この第2の実施形態においては、酸化膜203の各分割領域のそれぞれの面積より、可動電極204bの各分割領域のそれぞれの面積が大となるように可動電極204bを形成しているので、ダイヤフラム210と、酸化膜203と、可動電極204bとの相互の熱膨張率差によって生じる応力歪を、大きく低減することが可能である。

【0048】次に、上述した本発明の第2の実施形態である静電容量式圧力センサの製造方法を説明する。図9～図12は、上記製造方法の各工程を説明する図であ

9

る。図9において、IC製造用の単結晶シリコン基板201に、CMOS回路(MOS回路)のウェル形成と同一の不純物拡散層202をイオン打ち込み、熱拡散によって形成する。この不純物層は基板が、N-subであればP-well、基板がP-subであれば、N-wellとする(図9の工程(a)、(b))。

【0049】不純物拡散層202の上に、LOCOS形成用と同一の酸化膜203を熱酸化によって選択的に形成する(図9の工程(c))。あるいは、全面酸化膜を形成した後、ドライエッチングによってパターンニングしても良い。

【0050】次に、図10及び図11において、酸化膜203の上に固定電極用配線204aと可動電極240bとを形成するための不純物がドーピングされた多結晶シリコンを成膜、パターンニングを行う(図10の工程(d))。

【0051】固定電極用配線204aと可動電極240bとの上に酸化膜やPSG膜等の犠牲層205をデポジション、ホットエッチングによるパターンニングを行う(図10の工程(e))。

【0052】その後、固定電極206となる不純物がドーピングされた多結晶シリコン膜と、ノンドーピングの多結晶シリコン膜207とがデポジション、パターンニングされる(図10の工程(f)、図11の工程(g))。

【0053】次に、フッ酸等によって犠牲層205と酸化膜203の一部が、ウェットエッチングされる(図11の工程(h))。

【0054】続いて、図12において、多結晶シリコン膜207の上に、窒化膜等の保護膜209が形成され(図12の工程(i))、単結晶シリコン基板201の裏面からKOH等によりウェットエッチングされる(図12の工程(j))。このとき、単結晶シリコン基板201と拡散層202との間に電圧を加えながらエッチン*

$$CF \cdot Vo(n) = CF \cdot Vo(n-1) - CT \cdot Vo(n-1) - CS \cdot VDD + CR \cdot VDD \quad \text{--- (1)}$$

最終的には、次式(2)で表される関係になる。

$$Vo = ((CR-CS)/CF) \cdot VDD \quad \text{--- (2)}$$

したがって、圧力が検出素子に印加され、コンデンサCSの容量値が変化することを電圧出力に変換できる。

【0060】この出力電圧を出力調整部234によって所定のオフセット電圧と感度とに調整される。この回路構成によって、圧力信号を電圧信号に比較的容易に変換できる。

【0061】上述した信号処理回路は、CMOS回路で構成され、このCMOS回路のゲート電極が多結晶シリコンであれば、CMOS回路と圧力センサ本体とを一体化して成形可能である。

【0062】図14は、本発明の第3の実施形態である静電容量式圧力センサの断面図であり、図15は、この第3の実施形態の平面図である。図14及び図15にお※50

10

*グすることによって、単結晶シリコン基板201のみがエッチングされ、不純物拡散層202はエッチングされずに残すことができる。これによって、ダイヤフラム210と圧力導入孔211とを同時形成することができる。

【0055】上述した本発明の第2の実施形態である静電容量式圧力センサの製造方法によって、COMOS回路と同一基板上に一体化してセンサを製造でき、小型で安価な、特性が安定した圧力センサの製造方法を実現することができる。

【0056】図13は、本発明の静電容量式圧力センサからの出力信号等の信号処理に適用される信号処理回路の構成図である。図13において、この信号処理回路は、信号印加部231、圧力検出部232、容量検出部233、出力調整部234からなる。

【0057】信号印加部231は、電源VDD、アナログスイッチSW1、SW2を備える。また、圧力検出部232は、1つのコンデンサCSからなっており、これが上述した、可動電極(104b、204b)と固定電極(107、206)とにより形成される圧力検出素子としてのコンデンサである。

【0058】容量検出部233は、アナログスイッチSW3、SW4、SW5、オペアンプOP1、コンデンサCR、CT、CFによって構成される。出力調整部234は、電源VDD、オペアンプOP2、抵抗R4、R5、R6、R7、コンデンサC4によって構成される。

【0059】信号印加部231、圧力検出部232、容量検出部233は、スイッチドキャパシタ回路構成となっており、各スイッチのオン・オフ動作によって容量値に比例した出力が得られる。容量検出部233の出力電圧(OP1の出力)をVoとすると、この回路の動作は、次式(1)で表される。ただし、CF、CT、CS、CRは、それぞれコンデンサCF、CT、CS、CRの静電容量値とする。

※いて、この第3の実施形態である静電容量式圧力センサは、単結晶シリコン基板301、不純物拡散層302、酸化膜層303a、固定電極配線304a、可動電極304b、固定電極307、固定電極用構造体308、空隙309、保護膜310、ダイヤフラム311a、溝311b、圧力導入孔312を備えている。

【0063】被測定媒体である空気は、圧力導入孔312へ導入され、ダイヤフラム311に圧力を加えると、その圧力の大きさに応じてダイヤフラム311aが変位する。ダイヤフラム311aが変位すると、このダイヤフラム311a上に形成された可動電極304bと固定電極307との間の空隙309が変化し、これによって、両電極間に形成される静電容量が変化し、圧力を検出することができる。

【0064】ダイヤフラム311aは、脆性材料である

1 1

不純物拡散された単結晶シリコンを用いてつくられているため、塑性変形することなく、信頼性の良い、安定した圧力受動構造体を形成している。

【0065】ダイヤフラム311aは、基板301に溝311bを細かく分割して形成し、溝311b以外の上部にのみ可動電極304bを形成したことによって、ダイヤフラム311aと可動電極304bとの熱膨張率差によって生じる応力歪を低減することが可能である。

【0066】固定電極307の上部は、不純物がドーピングされていない絶縁性の多結晶シリコン膜でできた固定電極用構造体308によって覆われており、固定電極307の剛性強化と固定電極307の表面を絶縁物で完全に覆うことによってリーク電流を低減している。

【0067】以上のように、本発明の第3の実施形態である静電容量式圧力センサによれば、ダイヤフラム311aを不純物拡散された単結晶シリコンを用いて作られた脆性材料とされ、これら可動電極304bは複数の領域に分割されている。さらに、固定電極307の上部は、不純物がドーピングされていない絶縁性の多結晶シリコン膜でできた固定電極用構造体308によって覆われている。したがって、圧力受動構造体が安定しており、熱歪による変形が少なく、リーク電流の少ない、高精度な信頼性の高い静電容量式圧力センサを実現することができる。

【0068】次に、上述した本発明の第3の実施形態である静電容量式圧力センサの製造方法を説明する。図16～図19は、上記製造方法の各工程を説明する図である。図16において、IC製造用の単結晶シリコン基板301に、CMOS回路のウェル形成と同一の不純物拡散層302をイオン打ち込み、熱拡散によって形成する（図16の工程（a）、（b））。この不純物は基板がN-subであればP-well、基板がP-subであれば、N-wellとする。

【0069】不純物拡散層302の上に、LOCOS形成用と同一の酸化膜303a、303bを熱酸化によって選択的に形成する（図16の工程（c））。あるいは、全面酸化膜を形成した後、ドライエッチングによってパターンニングしても良い。

【0070】次に、図17において、酸化膜303a及び不純物拡散層302の上に固定電極用配線304aと可動電極304bを形成するための不純物がドーピングされた多結晶シリコンを成膜、パターンニングを行う（図17の工程（d））。

【0071】そして、可動電極304b等の上に、酸化膜やPSG膜等の犠牲層306をデポジション、ホットエッチングによるパターンニングを行う（図17の工程（e））。

【0072】その後、固定電極307となる不純物がドーピングされた多結晶シリコン膜と、ノンドーピングの多結晶シリコン膜308とがデポジション、パターン

1 2

ニングされる（図17の工程（f）、図18の工程（g））。

【0073】その後、フッ酸等によって犠牲層306と酸化膜303bとがウェットエッチングされ、空隙309と溝311bとが同時に形成される（図18の工程（h））。その後、窒化膜等の保護膜310が形成される（図19の工程（i））、単結晶シリコン基板301の裏面からKOH等により異方性のウェットエッチングされる（図19の工程（j））。

【0074】このとき、単結晶シリコン基板301と拡散層302との間に電圧を加えながらエッチングすることによって、単結晶シリコン基板301のみがエッチングされ、不純物拡散層302はエッチングされずに残させることができる。これによって、ダイヤフラム311aと圧力導入孔312とを同時形成することができる。

【0075】上述した本発明の第3の実施形態である静電容量式圧力センサの製造方法によって、CMOS回路と同一基板上に一体化してセンサを製造でき、小型で安価な、特性が安定した圧力センサの製造方法を実現することができる。

【0076】なお、上述した例においては、可動電極（104b、204b、304b）、酸化膜（103、203）の分割数は16としているが、分割数は16に限られず、必要な仕様に応じた歪低減効果が得られる分割数で良く、その数は2分割以上の値であればよい。

【0077】また、本発明の静電容量式圧力センサは、自動車用のエンジン制御用の圧力センサとして適切であるが、自動車用に限らず、圧力を検出するものであれば、他のものにも適用可能である。

【0078】

【発明の効果】本発明は、以上説明したように構成されているため、次のような効果がある。ダイヤフラムが不純物拡散された単結晶シリコンを用いて作られた脆性材料とされ、可動電極とダイヤフラムとの間には酸化膜が配置されるので、浮遊容量が低減され、高精度の圧力検出が可能な静電容量式圧力センサを実現することができる。

【0079】また、可動電極と酸化膜とは複数の領域に分割されるように構成すれば、ダイヤフラム、酸化膜、可動電極相互の熱膨張率差によって生じる応力歪を低減することができ、さらに、高精度の圧力検出が可能な静電容量式圧力センサを実現することができる。

【0080】また、固定電極の上部は、不純物がドーピングされていない絶縁性の多結晶シリコン膜でできた固定電極用構造体によって覆われるように構成すれば、熱歪による変形が少なく、リーク電流の少ない、高精度な信頼性の高い静電容量式圧力センサを実現することができる。

【0081】また、圧力を受ける構造体の塑性変形がなく、かつ熱応力成膜時の真性応力による歪を受けにくい

13

安定した特性を有する静電容量式圧力センサを実現することができる。

【0082】さらに、一般的なIC製造プロセスを用いて製造できるため、回路部との1チップ化が可能となり、小型化、低価格化が可能な製造方法を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態である静電容量式圧力センサの断面図である。

【図2】本発明の第1の実施形態の平面図である。

【図3】本発明の第1の実施形態である静電容量式圧力センサの製造方法を説明する図である。

【図4】本発明の第1の実施形態である静電容量式圧力センサの製造方法を説明する図である。

【図5】本発明の第1の実施形態である静電容量式圧力センサの製造方法を説明する図である。

【図6】本発明の第1の実施形態である静電容量式圧力センサの製造方法を説明する図である。

【図7】本発明の第2の実施形態である静電容量式圧力センサの断面図である。

【図8】本発明の第2の実施形態の平面図である。

【図9】本発明の第2の実施形態である静電容量式圧力センサの製造方法を説明する図である。

【図10】本発明の第2の実施形態である静電容量式圧力センサの製造方法を説明する図である。

【図11】本発明の第2の実施形態である静電容量式圧力センサの製造方法を説明する図である。

【図12】本発明の第2の実施形態である静電容量式圧力センサの製造方法を説明する図である。

【図13】本発明の静電容量式圧力センサに適用される信号処理回路の構成図である。

【図14】本発明の第3の実施形態である静電容量式圧力センサの断面図である。

【図15】本発明の第3の実施形態の平面図である。

【図16】本発明の第3の実施形態である静電容量式圧

14

力センサの製造方法を説明する図である。

【図17】本発明の第3の実施形態である静電容量式圧力センサの製造方法を説明する図である。

【図18】本発明の第3の実施形態である静電容量式圧力センサの製造方法を説明する図である。

【図19】本発明の第3の実施形態である静電容量式圧力センサの製造方法を説明する図である。

【符号の説明】

101、201、301 単結晶シリコン基板

102、202、302 不純物拡散層

103、203 酸化膜層

104a、204a、304a 固定電極配線

104b、204b、304b 可動電極

105 保護膜

106、205、306 犠牲層

107、206、307 固定電極

108、207、308 固定電極用構造体

109、208、309 空隙

110、209、310 保護膜

111、210、311a ダイアフラム

112、211、312 圧力導入孔

231 信号印加部

232 圧力検出部

233 容量検出部

234 出力調整部

VDD 電源

SW1、SW2、SW3 アナログスイッチ

SW4、SW5 アナログスイッチ

CS コンデンサ

OP1、OP2 オペアンプ

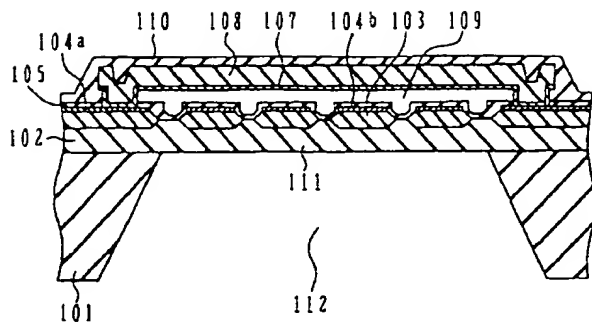
CR、CT、CF コンデンサ

VDD 電源

R4、R5、R6、R7 抵抗

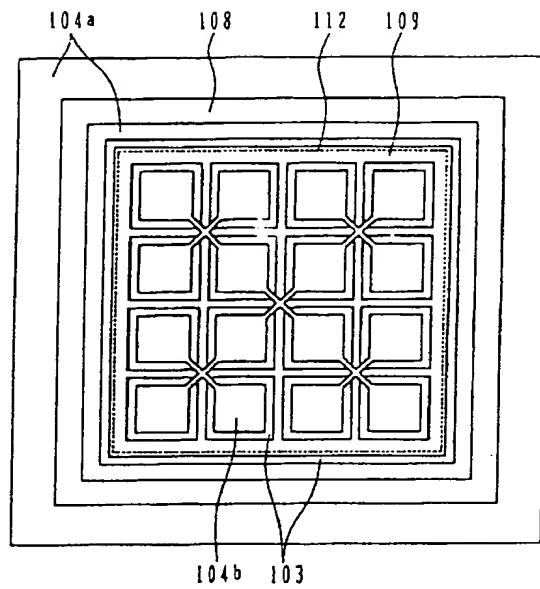
C4 コンデンサ

【図 1】



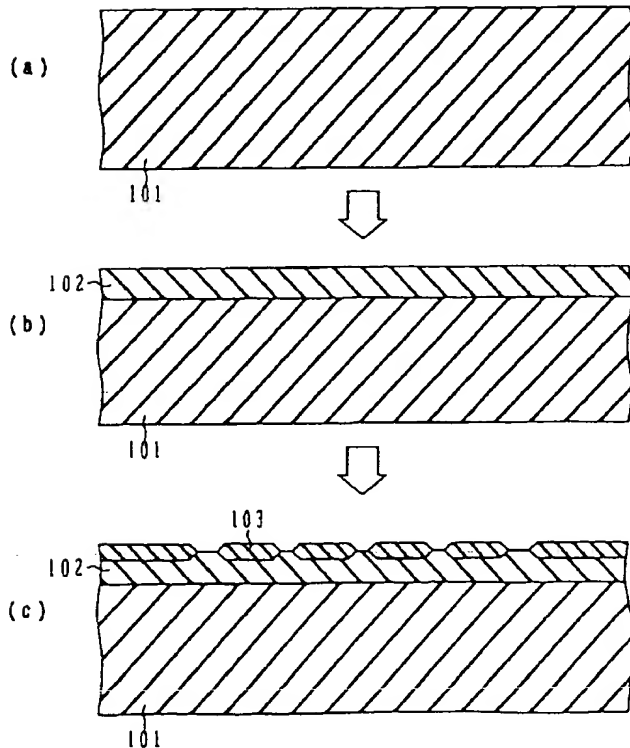
101: 単結晶シリコン基板
102: 不純物拡散層
103: 酸化膜 (LOCOS) 層
104a: 固定電極配線
104b: 可動電極
105: 保護膜
107: 固定電極
108: 固定電極用構造体
109: 空隙
110: 保護膜
111: ダイアフラム
112: 圧力導入孔

【図 2】

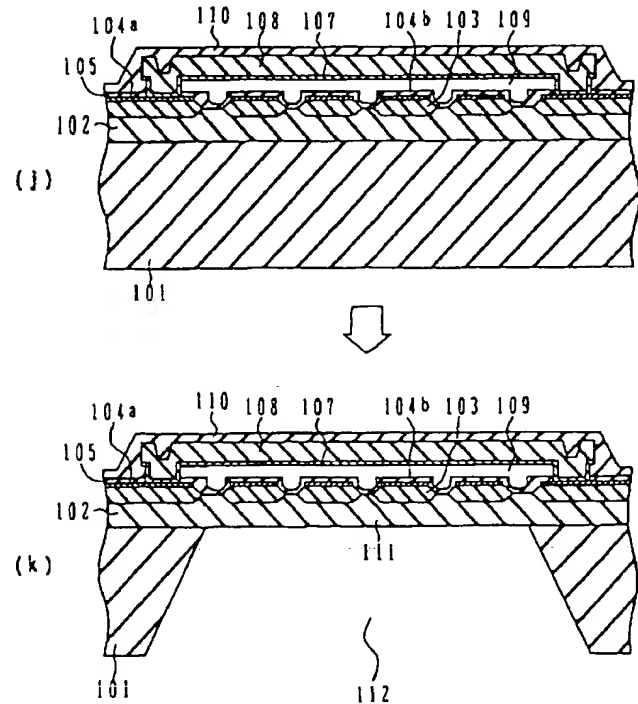


103: 酸化膜 (LOCOS) 層
104a: 固定電極配線
104b: 可動電極
108: 固定電極用構造体
109: 空隙
112: 圧力導入孔

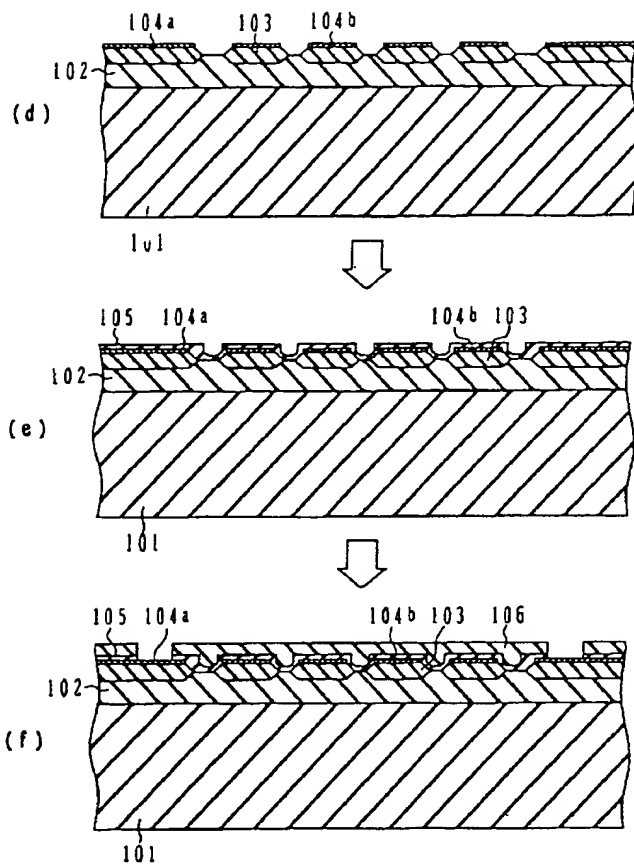
【図 3】



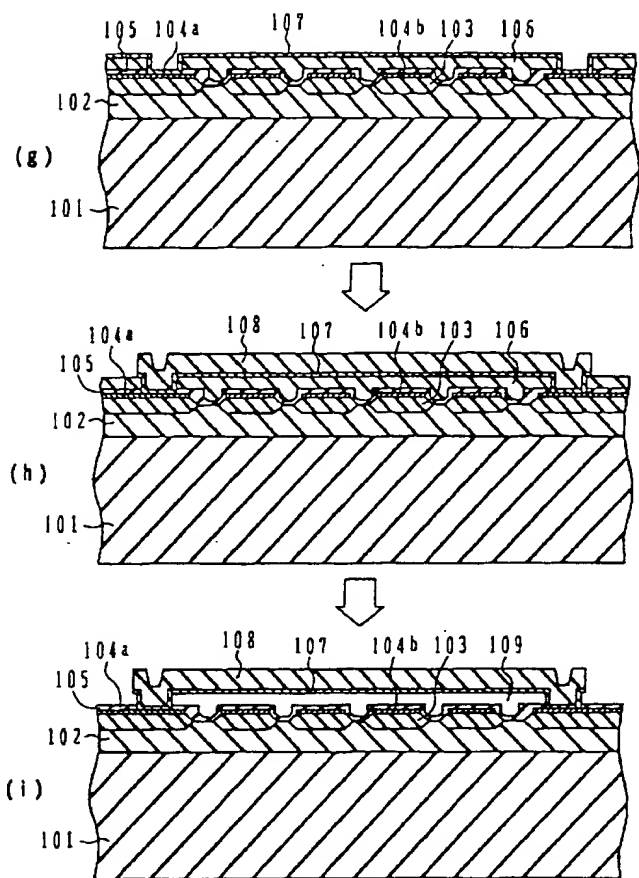
【図 6】



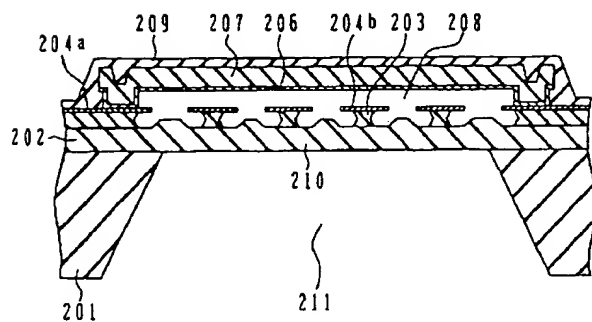
【図 4】



【図 5】

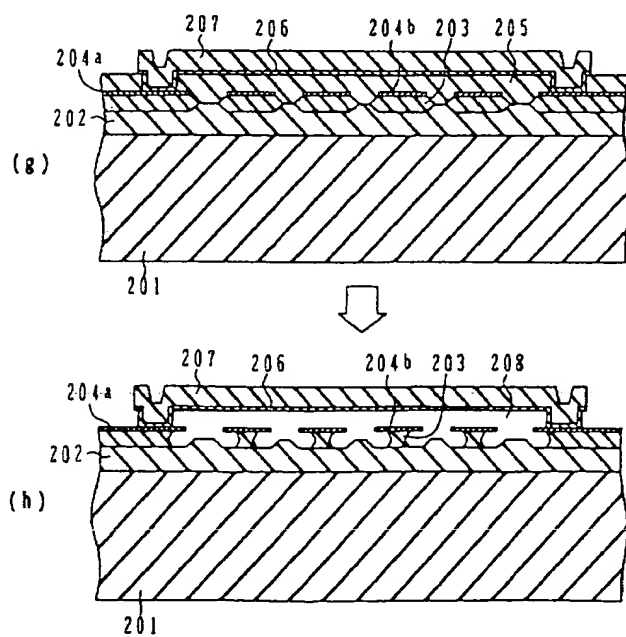


【図 7】

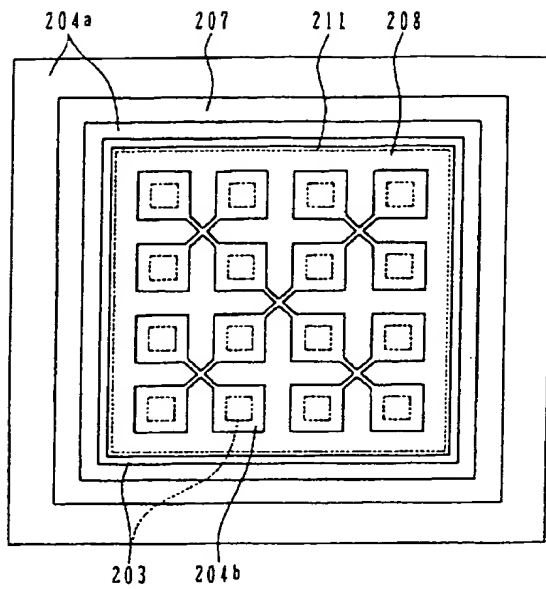


- | | |
|--------------------|---------------|
| 201: 単結晶シリコン基板 | 207: 固定電極用構造体 |
| 202: 不純物拡散層 | 208: 空隙 |
| 203: 酸化膜 (LOCOS) 層 | 209: 保護膜 |
| 204a: 固定電極配線 | 210: ダイアフラム |
| 204b: 可動電極 | 211: 圧力導入孔 |
| 206: 固定電極 | |

【図 11】

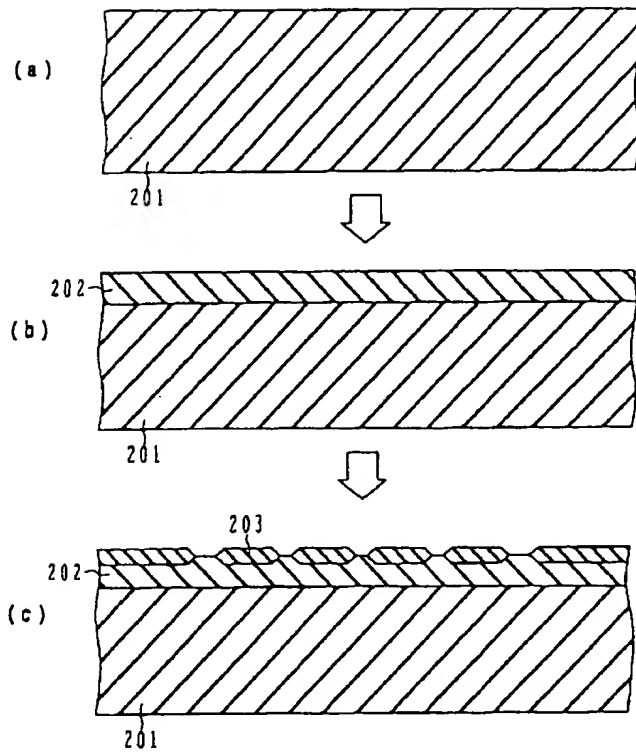


【図 8】

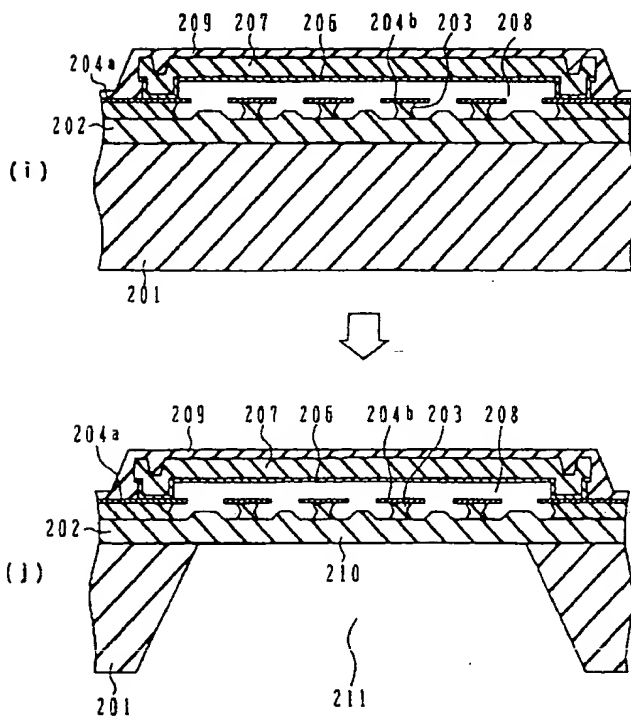


203: 酸化膜 (LOCOS) 層
204a: 固定電極配線
204b: 可動電極
207: 固定電極用構造体
208: 空隙
211: 圧力導入孔

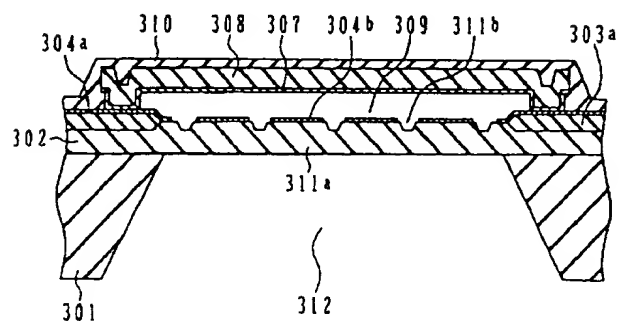
【図 9】



【図 12】

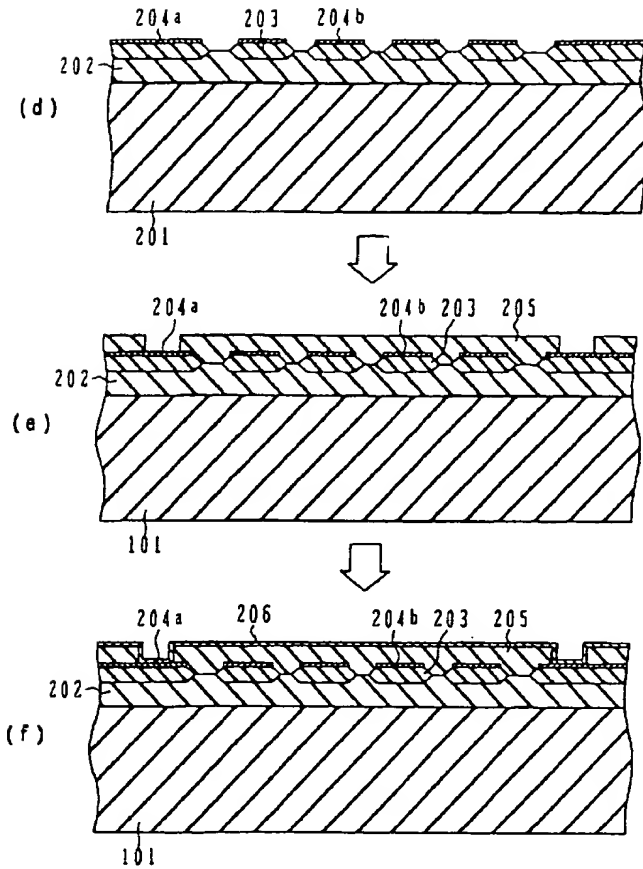


【図 14】

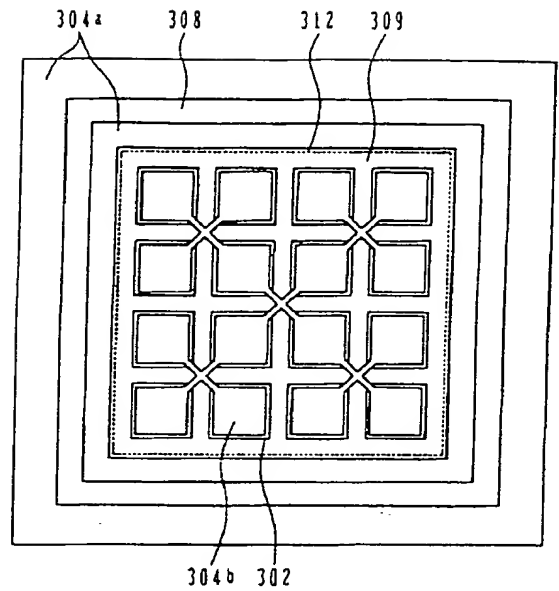


301: 単結晶シリコン基板
302: 不純物拡散層
303: 酸化膜 (LOCOS) 層
304a: 固定電極配線
304b: 可動電極
307: 固定電極
308: 固定電極用構造体
309: 空隙
310: 保護膜
311a: ダイアフラム
311b: 溝
312: 圧力導入孔

【図10】

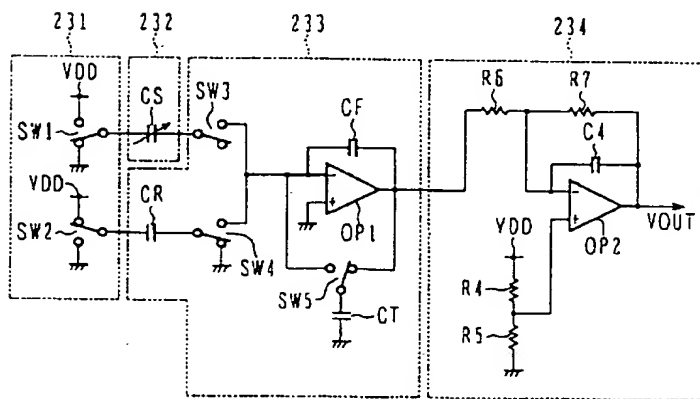


【図15】



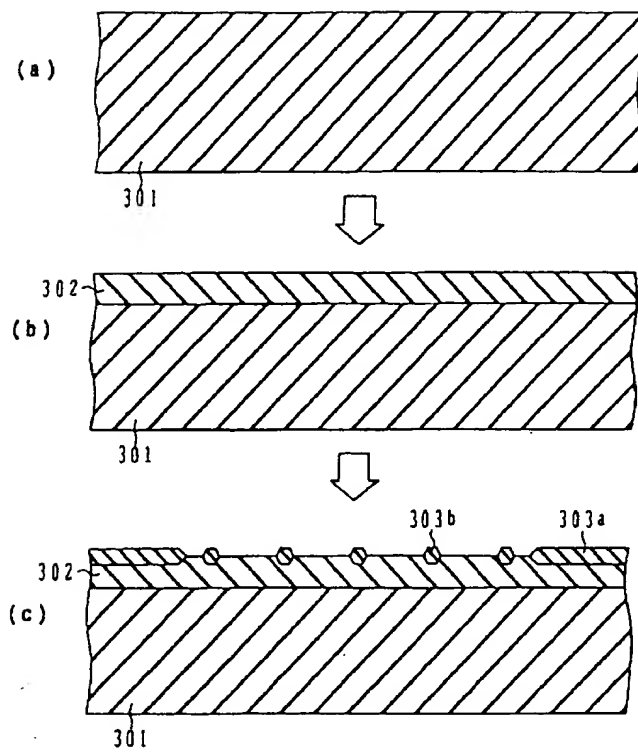
302:不純物拡散層
304a:固定電極配線
304b:可動電極
308:固定電極用構造体
309:空隙
312:圧力導入孔

【図13】

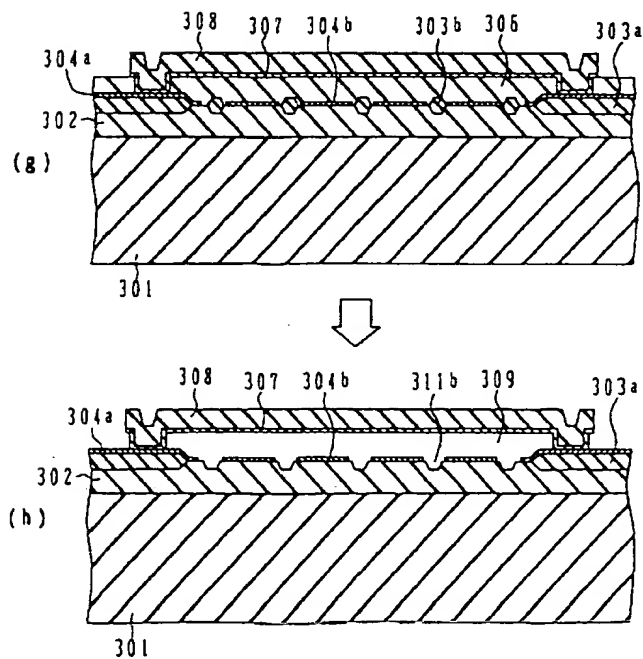


231:信号印加部
232:圧力検出部
233:容量検出部
234:出力調整部
VDD:電源
SW1, SW2, SW3, SW4, SW5:アナログスイッチ
CS:静電容量
OP1, OP2:オペアンプ
CR, CT, CF:コンデンサ
R4, R5, R6, R7:抵抗
C4:コンデンサ

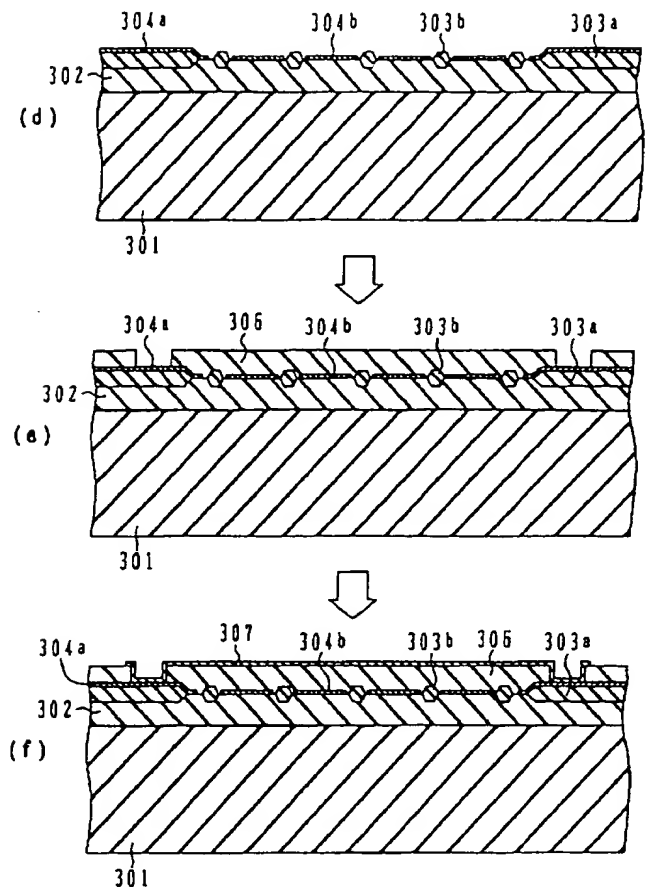
【図 16】



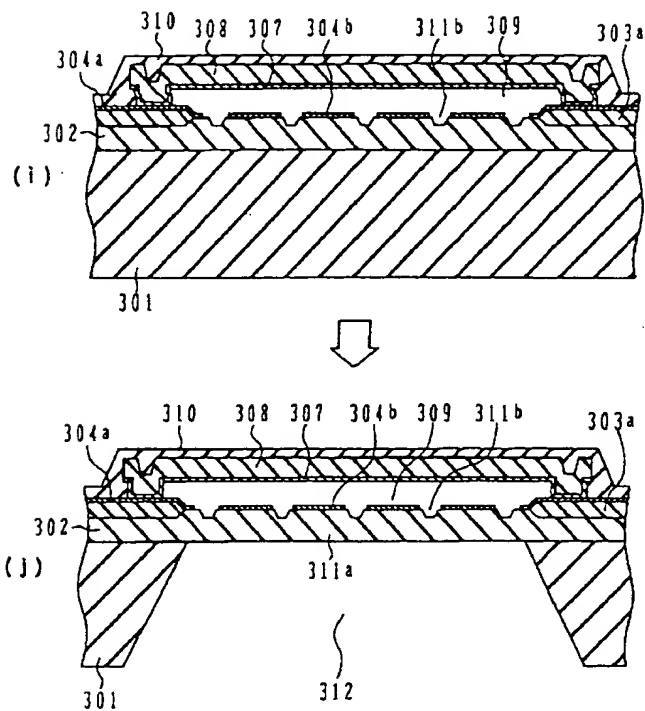
【図 18】



【図 17】



【図 19】



フロントページの続き

(72)発明者 嶋田 智
 茨城県日立市大みか町七丁目 1 番 1 号 株
 式会社日立製作所日立研究所内
 (72)発明者 鈴木 清光
 茨城県日立市大みか町七丁目 1 番 1 号 株
 式会社日立製作所日立研究所内
 (72)発明者 斉藤 明彦
 茨城県日立市大みか町七丁目 1 番 1 号 株
 式会社日立製作所日立研究所内
 (72)発明者 松本 昌大
 茨城県日立市大みか町七丁目 1 番 1 号 株
 式会社日立製作所日立研究所内

(72)発明者 宮崎 敦史
 茨城県ひたちなか市大字高場2520番地 株
 式会社日立製作所自動車機器事業部内
 (72)発明者 市川 範男
 茨城県ひたちなか市高場2477番地 株式会
 社日立カーエンジニアリング内
 (72)発明者 堀江 潤一
 茨城県ひたちなか市大字高場2520番地 株
 式会社日立製作所自動車機器事業部内
 (72)発明者 栗生 誠司
 茨城県ひたちなか市高場2477番地 株式会
 社日立カーエンジニアリング内